

(12) 特許協力条約に基づいて公開された国際出願

10/566240

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年2月10日 (10.02.2005)

PCT

(10) 国際公開番号
WO 2005/013480 A1

(51) 国際特許分類: H03G 3/20, H03F 3/08, H04B 10/06

(21) 国際出願番号: PCT/JP2003/009682

(22) 国際出願日: 2003年7月30日 (30.07.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 野上 正道

(NOGAMI, Masamichi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 野田 雅樹 (NODA, Masaki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 田上 仁之 (TAGAMI, Hitoyuki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP). 本島 邦明 (MOTOSHIMA, Kuniaki) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).

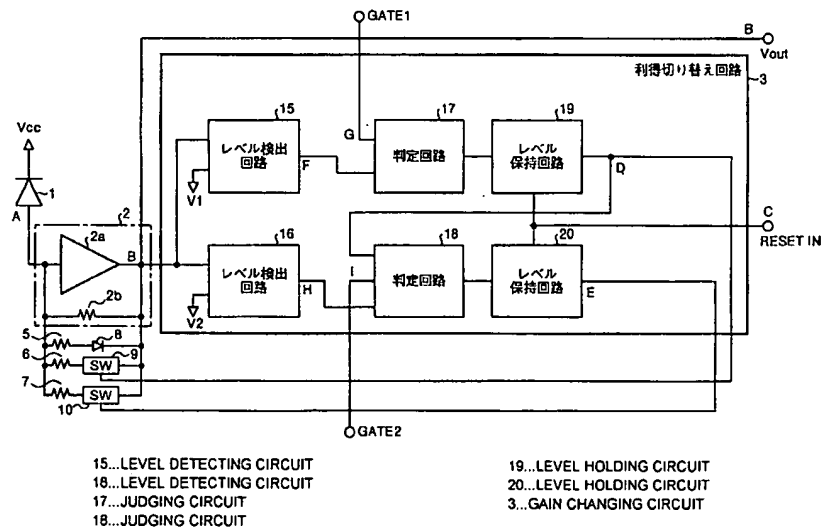
(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒100-0013 東京都千代田区霞が関三丁目2番6号 東京倶楽部ビルディング Tokyo (JP).

(81) 指定国 (国内): CN, JP, US.

[続葉有]

(54) Title: CIRCUIT FOR VARYING GAIN OF PREAMPLIFIER

(54) 発明の名称: 前置増幅器の利得切り替え回路



(57) Abstract: A photodetector (1) converts an optical signal in the form of a burst into an electrical signal and outputs an output current, and a preamplifier (2) having a feedback resistive element (2B) amplifies the output current and outputs a voltage signal. The feedback resistive element (2B), a series circuit of a first resistive element (6) and a first switching element (9), and a series circuit of a second resistive element (7) and a second switching element (10) are connected in parallel to a gain varying circuit (3) for varying the conversion gain of the preamplifier (2). The gain varying circuit (3) generates an operation signal to close the first switching element 9 during a first gain varying period and an operation signal to close the second switching element (10) during a second gain varying period.

(57) 要約: パースト状の光信号を電気信号に変換する受光素子 (1) の出力電流を増幅し電圧信号を出力する前置増幅器 (2) の帰還抵抗素子 (2B) と並列に、第1の抵抗素子 (6) と第1のスイッチング素子 (9) による直列回路、および第2の抵抗素子 (7) と第2のスイッチング素子 (10) による直列

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

回路をそれぞれ接続し、前置増幅器 (2) の変換利得を切り替える利得切り替え回路 (3) は、第 1 の利得切り替え期間内に第 1 のスイッチング素子 (9) を閉路操作するための操作信号を生成し、第 2 の利得切り替え期間内に第 2 のスイッチング素子 (10) を閉路操作するための操作信号を生成する。

明 細 書

前置増幅器の利得切り替え回路

5 技術分野

この発明は、光通信システムの光受信装置や、光信号の測定器、モニタなどの光受信部に用いられる前置増幅器に関するものであり、詳細には、この前置増幅器の利得切り替え回路に関するものである。

10 背景技術

光通信システムとしては、例えば、ATM-PON (Asynchronous Transfer Mode-Passive Optical Network) システムが知られている。

このATM-PONシステムは、ITU-T勧告G.983として国際標準化された光通信システムであり、時分割多重方式によって一台の局側装置で複数の加入者装置との通信が行えるポイント・マルチポイント伝送が実現できるので、伝送コストの大幅な低減が可能な方式として期待されている。

このATM-PONシステムでは、上述のように、加入者装置から局側装置への信号は時分割多重されており、加入者装置と局側装置との間は、加入者ごとに異なる距離で接続されるので、局側装置の受信装置では、信号強度変化の大きいパケット信号の受信を余儀なくされる。

また、ATM-PONシステムの受信装置では、一般的な受信装置と同様に、受信信号の信号強度を必要なレベルまで持ち上げるための前置増幅器と呼ばれる増幅器が受信装置の前段に組み込まれることが多い。

25 この前置増幅器は、所定のダイナミックレンジを有しているが、上述したATM-PONシステムのように、微弱信号から大信号までの幅広い強度分布の信号を受信するためには、自身の利得を何らかの形で制御する必要がある。そのため、

ATM-PONシステムを初めとする光通信システムの前置増幅器には、利得切り替え回路を有するものが多い（特許文献1など）。

特許文献1

特開2000-315923

5 特許文献2

特開2001-144552

特許文献3

特開2000-252774

10 例えば、特許文献1には、入力信号のパワーレベルに応じて、トランスインピーダンスアンプに対する帰還利得を瞬時に切り替えるためのバースト光受信回路の開示がなされている。

この光受信回路では、トランスインピーダンスアンプの出力レベルが基準電圧V1以下であるときは、このトランスインピーダンスアンプ本来の変換利得に設定し、基準電圧V1を越え基準電圧V2以下（ $V2 > V1$ ）であるときは、この
15 トランスインピーダンスアンプの変換利得を下げ、基準電圧V2を越えるときには、さらに、このトランスインピーダンスアンプの変換利得を下げるように制御している。

しかしながら、この光受信回路では、トランスインピーダンスアンプの出力振
20 幅が基準電圧を超えると、必ずスイッチング素子をオン動作させる構成になっているので、入力信号波形にリングングや振幅の揺らぎ、信号サグなど各種の波形歪みがあると、必ずしも入力信号の先頭で利得切り替えが行われず、入力信号内のどのビット位置で利得切り替えが行われるかが分からず、閾値の追従が困難であるという問題点があった。

25 また、これらの波形歪み等によって、誤った変換利得に設定されたり、意図しない変換利得に設定されてしまうといった問題点があった。

したがって、この発明は、入力信号のレベルに応じた適切な変換利得に切り替

えることができる前置増幅器の利得切り替え回路を提供することを目的とするものである。

発明の開示

- 5 この発明にかかる前置増幅器の利得切り替え回路にあつては、パースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であつて、帰還抵抗素子と並列に、第1の抵抗素子と第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、前記前置増幅器の出力を受けて、第1の変換利得に切り替える第1の利得切り替え期間と、前記前置増幅器の出力を受けて、第2の変換利得に切り替える第2の利得切り替え期間とを外部から入力し、前記第1の利得切り替え期間内に前記第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成する第1の操作手段と、前記第2の利得切り替え期間内に前記第2の
- 10 スイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成する第2の操作手段とを備えたことを特徴とする。

- この発明によれば、利得切り替え回路では、帰還抵抗素子と並列に、第1の抵抗素子と第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続され、パースト状の光信号を
- 20 電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、第1の変換利得に切り替える第1の利得切り替え期間と第2の変換利得に切り替える第2の利得切り替え期間とが外部から入力され、第1の操作手段は、第1の利得切り替え期間内に第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成し、第2の操作手段は、第2の利得切り替え期間内に第2のスイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成する。
- 25 つぎの発明にかかる前置増幅器の利得切り替え回路にあつては、パースト状の

光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であって、帰還抵抗素子と並列に、第1の抵抗素子と第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、前記前置増幅器の出力を受けて、利得切り替え期間内に所定の変換利得に切り替えるためのゲート信号を生成するゲート生成回路と、前記利得切り替え期間内に前記第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成する第1の操作手段と、前記利得切り替え期間内に前記第2のスイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成する第2の操作手段とを備えたことを特徴とする。

この発明によれば、利得切り替え回路では、帰還抵抗素子と並列に、第1の抵抗素子と第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続され、パースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器の出力を受けて、ゲート生成回路は、利得切り替え期間内に所定の変換利得に切り替えるためのゲート信号を生成し、第1の操作手段は、利得切り替え期間内に前記第1のスイッチング素子を閉路操作する第1のスイッチング素子操作信号を生成し、第2の操作手段は、利得切り替え期間内に第2のスイッチング素子を閉路操作する第2のスイッチング素子操作信号を生成する。

図面の簡単な説明

第1図は、この発明の実施の形態1にかかる前置増幅器の利得切り替え回路の構成を示すブロック図であり、第2図は、第1図に示す利得切り替え回路3の動作を説明するためのタイムチャートであり、第3図は、特許文献1などに示される前置増幅器の利得切り替え回路の動作不具合を説明するための図であり、第4図は、利得切り替え回路の動作不具合を前置増幅器の入出力特性との関係で説明

するための図であり、第5図は、この発明の実施の形態2にかかる前置増幅器の利得切り替え回路の構成を示すブロック図であり、第6図は、第5図に示す利得切り替え回路31の動作を説明するためのタイムチャートであり、第7図は、この発明の実施の形態3にかかる前置増幅器の利得切り替え回路の構成を示すブロック図であり、第8図は、第7図に示すゲート生成回路23の構成を示すブロック図であり、第9図は、第8図に示すゲート生成回路23の動作を説明するためのタイムチャートであり、第10図は、この発明の実施の形態4にかかるゲート生成回路35の構成を示すブロック図であり、第11図は、第10図に示すゲート生成回路35の動作を説明するためのタイムチャートである。

10

発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる前置増幅器の利得切り替え回路の好適な実施の形態を詳細に説明する。

実施の形態1.

15 第1図は、この発明の実施の形態1にかかる前置増幅器の利得切り替え回路の構成を示すブロック図である。同図において、光信号を電気信号に変換する受光素子1の出力（電流信号）Aを受ける前置増幅器2は、演算増幅器2aと帰還抵抗素子2bとで構成され、入力される電流信号を増幅し電圧信号を出力するトランスインピーダンスアンプ(TIA)である。TIA2の帰還抵抗素子2bには、
20 抵抗素子5とダイオード8による直列回路と、抵抗素子6とスイッチング素子9（以下「SW9」と称する）による直列回路と、抵抗素子7とスイッチング素子10（以下「SW10」と称する）による直列回路とがそれぞれ並列接続されている。

25 なお、抵抗素子5とダイオード8による直列回路は設けられない場合もある。
抵抗素子5とダイオード8による直列回路を考慮すると、SW9、10がオフ動作状態にあるときのTIA2の変換利得は、帰還抵抗素子2bの値で決まる利得、または、帰還抵抗素子2bと抵抗素子5の並列抵抗値で決まる利得のいずれかと

なる。ここでは、説明を容易にするため、抵抗素子5とダイオード8による直列回路は無視し、帰還抵抗素子2bの値で決まる利得がTIA2本来の変換利得であるとする。

- この実施の形態による利得切り替え回路3は、レベル検出回路15、16と、
- 5 判定回路17、18と、レベル保持回路19、20とを備え、第1のゲート信号であるGATE1および第2のゲート信号であるGATE2の2つのゲート信号によって利得切り替え期間を制限することで、バースト状の packets 信号の特定のビット位置で利得切り替えを実施し、その後、異なる利得切り替え原因が発生した場合に、一つ前の利得切り替え動作が行われた否かを判断して他の特定の
- 10 ビット位置で利得切り替えを実施するようにしている。つまり、利得切り替えに際し、単独の切り替え動作を行うのではなく、必ず一つ前の利得切り替え動作が行われたことを条件に他の特定のビット位置で利得切り替えを実施するようにしている。また、このような利得切り替えによって、それぞれの packets 信号のレベルに応じた適切な変換利得に切り替えるようにしている。
- 15 第1図において、TIA2の出力（電圧信号）Bは、レベル検出回路15、16の一方の入力端に入力されている。レベル検出回路15の他方の入力端には、第1の識別レベルである識別レベルV1が入力されている。レベル検出回路16の他方の入力端には、第2の識別レベルである識別レベルV2が入力されている。
- レベル検出回路15の出力Fは、判定回路17の一方の入力端に入力されている。
- 20 判定回路17の他方の入力端には、第1のゲート信号（GATE1）の出力信号であるGが入力されている。同様に、レベル検出回路16の出力Hは、判定回路18の第1の入力端に入力される。判定回路18の第2の入力端には、第2のゲート信号（GATE2）の出力信号であるIが入力され、第3の入力端には、判定回路17の出力が入力されるレベル保持回路19の出力Dが入力される。また、判定回路18の出力は、レベル保持回路20に入力される。そして、レベル保持回路19の出力Dは、SW9の制御信号となり、レベル保持回路20の出力Eは、SW10の制御信号となる。
- 25

一方、レベル保持回路19、20には、外部からのリセット信号(RESET)Cがそれぞれ入力される。リセット信号(RESET)Cは、パケット信号の入力に先立って入力されるので、レベル保持回路19、20は、各パケット信号の先頭で初期化される。したがって、SW9、10は、各パケット信号の先頭では、オフ状態になっている。

第2図は、第1図に示す利得切り替え回路3の動作を説明するためのタイムチャートである。同図は、バースト状の各パケット信号(第1、第2、第3パケット)のビットパターンが“1010...”である場合に、第1の利得切り替え期間(GATE1信号の出力期間)で利得切り替えを実施し、その後、第2の利得切り替え期間(GATE2信号の出力期間)で利得切り替え原因が発生した場合に、単独の切り替え動作を行うのではなく、必ず第1の利得切り替え期間で利得切り替え動作が行われたことを条件に第2の利得切り替え期間での利得切り替えを実施する場合の一例を示している。

つぎに、第1図および第2図を参照し、第1図に示す利得切り替え回路の動作について説明する。第2図において、同図(A)は、受光素子1の出力電流波形、つまりTIA2への入力電流波形を示したものであり、第1パケット、第2パケット、第3パケットの順序で振幅が増加する。なお、第1パケット、第2パケット、第3パケットは、それぞれ、“1010...”のビットパターンを持つデータ信号であり、各パケット信号には、各“1”ビットの立ち上がり部分に大きなリンギングなどの波形歪みを有している。

第2図(B)は、同図(A)の各パケット信号が入力されたときのTIA2の出力電圧(Vout)Bの波形を示す図であり、また、これらの波形上に識別レベル(V1、V2)を示している。第1パケットに対するTIA2の出力電圧(Vout)Bは、識別レベルV1以下のレベルである。第2パケットに対するTIA2の出力電圧(Vout)Bは、識別レベルV1ぎりぎりのレベルである。第3パケットに対するTIA2の出力電圧(Vout)Bは、識別レベルV2を超えるレベルにある。なお、識別レベルV1とV2とは、必ずしもV1<V2の

関係にあるとは限らない。というのは、後述する説明から明らかとなるが、識別レベルV2での比較は、TIA2の出力電圧(Vout)Bと識別レベルV1との比較によって、SW9がオンとなって利得が低下し、この利得の低下によって振幅が小さくなったパケット信号に対して行われるからである。識別レベルV1
5 との比較でSW9がオンになり、このとき下げられた利得の低下分をk ($k > 1$) とすれば、V2は、V1に対して、 $V1 < k V2$ の関係にあればよい。

第2図(C)は、リセット信号(RESET)Cの波形である。同図(C)に示すように、リセット信号(RESET)Cは、第1、第2、第3パケットそれぞれの先頭で入力される。この入力によって、レベル保持回路19、20は、各
10 パケット信号の先頭では初期化された状態になる。また、SW9、10は、各パケット信号の先頭では、オフ状態になっている。つまり、TIA2は、各パケット信号の先頭では、帰還抵抗素子2bによって決定されるTIA2本来の変換利得になっている。

第2図(G)は、第1のゲート信号(GATE1)Gを示す波形図である。同
15 図(G)に示す例では、各パケット信号の先頭(第1ビット以前)から第4ビットにかけて“1”レベルの信号が出力されており、この“1”レベルの期間内に利得切り替えを行うか否かの判定が行われることになる。なお、第1のゲート信号の出力期間は、この例に限られるものではなく、後述する第2のゲート信号との兼ね合い(少なくとも出力期間が重なり合わないよう設定される)で決めら
20 れる。

第2図(I)は、第2のゲート信号(GATE2)Iを示す波形図である。同図(I)に示す例では、各パケット信号の第5ビットから第8ビットにかけて出力が“1”レベルの信号が出力されており、第1のゲート信号と同様に、この“1”レベルの期間内に利得切り替えを行うか否かの判定が行われる。

25 第2図(F)は、レベル検出回路15の動作を示す波形図である。同図(B)に示す例では、第1パケットでは、識別レベルV1以下であるので、レベル検出回路15の出力Fは、“0”レベルである。一方、第2パケットでは、識別レベ

ルV 1 ぎりぎりの波形振幅であるため、第1ビットではパルスが発生せず、第3ビットで識別レベルV 1を超える期間のパルスが発生する。他方、第3パケットでは、識別レベルV 1を超える信号であり、第1ビットからパルスが発生する。このとき、第3ビット以降のパケット信号に対しては、利得が下げられた新たな
5 変換利得が適用され、パケット信号の振幅が低下する。この振幅が低下したパケット信号に対して、同様に識別レベルV 1との比較が行われるが、このときも、識別レベルV 1を超えているので、識別レベルV 1を超える期間のパルスが同図(F)に示されるように出力される。

第2図(H)は、レベル検出回路16の動作を示す波形図である。同図(B)に示す例では、第1、第2パケットでは、識別レベルV 2以下であるので、レベル検出回路16の出力Hは、“0”レベルである。一方、第3パケットでは、識別レベルV 2を超える信号であり、第1ビットからパルスが発生する。さらに、新たな変換利得によって振幅が低下したパケット信号に対して、識別レベルV 1
10 のときと同様に識別レベルV 2との比較が行われるが、このときの信号状態は、識別レベルV 2 ぎりぎりの波形振幅であるため、第3ビット、第5ビットではパルスが発生せず、第7ビットで初めて識別レベルV 2を超えるものと判定し、識別レベルV 2を超える期間のパルスが発生している。

第2図(D)は、判定回路17およびレベル保持回路19の動作を示す波形図である。第1パケットは、識別レベルV 1以下であるので、レベル検出回路15
20 から判定回路17への出力はない。また、第1パケットに対し、TIA2は、本来の変換利得で増幅動作を行っている。

これに対し、第2パケットでは、判定回路17には検出パルス信号Fが入力される。判定回路17では、検出パルス信号Fが第1ゲート信号Gの時間幅内に入力された場合にのみ、SW制御信号をレベル保持回路19に出力する。レベル保持回路19は、入力されたSW制御信号をSW操作信号DとしてSW9に与える
25 とともに、リセット信号(RESET)Cが入力されるまでの間保持し、SW9をオンさせ続ける。TIA2では、第2パケットに対しては、第3ビットから、

本来の変換利得から、帰還抵抗素子2bおよび抵抗素子6の並列抵抗値で決まる新たな変換利得への切り替えが行われる。第3パケットでは、第1ビットが識別レベルV1を超え、さらに、第1ゲート信号Gの時間幅内にあるので、第2パケットのときと同様に、判定回路17およびレベル保持回路20が動作し、SW9
5 をオンさせ続ける。

第2図(E)は、判定回路18およびレベル保持回路20の動作を示す波形図である。判定回路18は、検出パルス信号Hが第2ゲート信号Iの時間幅内に入力され、かつ、レベル保持回路19のSW操作信号Dが出力されている場合にのみ、SW制御信号をレベル保持回路20に出力する。レベル保持回路20は、入
10 力されたSW制御信号をSW操作信号EとしてSW10に与えるとともに、リセット信号(RESET)Cが入力されるまでの間、出力を保持する。このとき、TIA2では、第3パケットから、帰還抵抗素子2b、抵抗素子6および抵抗素子7の並列抵抗値で決まる新たな変換利得への切り替えが行われ、SW10をオンさせ続ける。

15 つぎに、前置増幅器の利得切り替え回路に関する問題点について説明する。第3図は、例えば、特許文献1などに示される前置増幅器の利得切り替え回路の動作不具合を説明するための図であり、第4図は、第3図に示す前置増幅器の入出力特性を示す図である。

従来の前置増幅器の利得切り替え回路では、例えば2つの識別レベルがあるとき、これらの識別レベルV1、V2が、 $V1 < V2$ の関係に設定され、識別レベルV1を超える場合に第1図のSW9に相当するスイッチング素子をオンさせ、
20 識別レベルV2を超える場合に、さらに、第1図のSW10に相当するスイッチング素子をオンさせるように制御することが一般的に行われていた。すなわち、識別レベルV1を超えた場合に本来の利得から第1の変換利得に利得を下げ、識別レベルV2を超えた場合に、さらに第1の変換利得よりも小さな第2の変換利得に利得を下げていた。

第3図において、同図(a')は、第2図に示す第3パケットと同等の信号で

ある。また、同図（b'）において、点線63に示す波形が目的の信号波形であり、実線64に示す波形が誤動作を引き起こした信号波形である。いま、この第3パケットの信号波形は、識別レベルV1を超え識別レベルV2を超えないレベルにある信号だとすれば、従来の前置増幅器でも正常な動作が行われる。

- 5 しかしながら、同図（a'）に示すような大きな信号サグTdのある波形では、パルスの立ち上がりビット位置で識別レベルV2を超えるので、本来の利得から第1の変換利得を通り越し、より小さな第2の変換利得に利得を下げてしまうような誤動作が生じることがあった。

- 第4図は、利得切り替え回路の動作不具合を前置増幅器の入出力特性との関係
10 で説明するための図である。同図において、特性71は、前置増幅器がで動作する場合の入出力特性である。次いで、特性72は、前置増幅器が第1の変換利得で動作する場合の入出力特性である。同様に、特性73は、前置増幅器が第2の変換利得で動作する場合の入出力特性である。また、利得切替点Aは、出力信号が識別レベルV1を超える場合に、本来の利得から第1の変換利得に利得の切り
15 替えが行われる点であり、利得切替点Bは、出力信号が識別レベルV2を超える場合に、第1の変換利得から第2の変換利得に利得の切り替えが行われる点である。

- したがって、第3図（a'）に示すパルスの立ち上がりビット位置で識別レベルV2を超えてしまうような大きな信号サグのある波形では、本来利得切り替え
20 点Aからスタートする特性72にしがたって制御されるはずのものが、利得切り替え点B'からスタートする特性74にしがたって制御されることが起こる。そのため、出力振幅が目的の振幅よりも小さくなってしまい、意図しない変換利得に設定されてしまうことになる。

- しかしながら、この実施の形態のTIA2の利得切り替え回路3によれば、第
25 2図（A）の第3パケットのような識別レベルV2を超える信号が入力された場合であっても、第1、第2のゲート信号の2つのゲート信号によって利得切り替え期間を制限しているので、上述した従来技術に見られるような誤動作を引き起

こすことがない。また、第2図(A)の第2パケットのような識別レベルV1ぎりぎりの信号が入力された場合でも、第1のゲート信号に幅を持たせているので、先頭の8ビットで確実な利得切り替えを行うことができる。

以上説明したように、この実施の形態の前置増幅器の利得切り替え回路によれば、前置増幅器の出力を受けて、第1の変換利得に切り替える第1の利得切り替え期間と第2の変換利得に切り替える第2の利得切り替え期間とが外部から入力され、第1の操作手段が、第1の利得切り替え期間内に第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成し、第2の操作手段が、第2の利得切り替え期間内に第2のスイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成するようにしているので、先頭ビットから所定数のビットまでの間で確実な利得切り替えを行うことができ、入力信号のレベルに応じた適切な変換利得に切り替えることができる前置増幅器の利得切り替え回路を提供することができる。

また、この実施の形態の前置増幅器の利得切換回路によれば、第1の利得切り替え期間内に第1の操作手段にて第1のスイッチング素子が閉路操作された後、第2の利得切り替え期間内に第2の操作手段にて第2のスイッチング素子が閉路操作可能となるように制御しているので、利得の切り替え誤りのない制御を実現することができる。

なお、ここでいうところの、第1の操作手段は、判定回路17およびレベル保持回路19にて実現され、第2の操作手段は、判定回路18およびレベル保持回路20にて実現される。

また、この実施の形態では、第1のゲート信号の出力期間をパケット信号の第1ビットから第4ビットとし、第2のゲート信号の出力期間をパケット信号の第5ビットから第8ビットまでとしているが、これに限られるものではない。例えば、第1の変換利得への設定を確実なものとしたい場合には、第1のゲート信号の出力期間を長くすることもできる。また、利得切り替えを迅速に行いたい場合には、第1および第2のゲート信号の全体の出力期間を短くすることもできる。

実施の形態 2.

第 5 図は、この発明の実施の形態 2 にかかる前置増幅器の利得切り替え回路の構成を示すブロック図である。同図に示す実施の形態 2 の利得切換回路 3 1 は、
5 図 1 の利得切換回路 3 において、レベル保持回路 1 9 の出力を 1 ビット以上遅延させる遅延回路 2 1 が備えられ、また、識別レベル V_2 を超えるか否かの判定を処理を判定回路 1 8、2 0 の 2 段階に分けて行うようにしている。その他の構成については、図 1 に示す実施の形態 1 の利得切換回路 3 の構成と同一または同等であり、これらの各部には同一符号を付して示している。なお、実施の形態 1 で
10 は、第 1 のゲート信号と第 2 のゲート信号の 2 つのゲート信号を用いて識別レベル V_1 、 V_2 のそれぞれを識別していたが、この実施の形態では、1 つのゲート信号を用いて識別している点も相違する。

つぎに、第 5 図および第 6 図を参照し、第 5 図に示す利得切り替え回路の動作について説明する。なお、第 6 図は、第 5 図に示す利得切り替え回路 3 1 の動作
15 を説明するためのタイムチャートである。第 6 図において、同図 (A) は、T I A 2 への入力電流波形であり、第 2 図に示した第 3 パケットと同一の信号列を示している。

第 6 図 (B) は、同図 (A) の第 3 パケット信号が入力されたときの T I A 2 の出力電圧 (V_{out}) B の波形であり、これらの波形上に識別レベル (V_1 、
20 V_2) を示している。また、第 3 パケットに対する T I A 2 の出力電圧 (V_{out}) B は、識別レベル V_2 を超えるレベルにある。なお、識別レベル V_1 と V_2 の関係については、実施の形態 1 と同様であり、 $k > 1$ を満たす k に対して $V_1 < k V_2$ の関係にあればよい。

第 6 図 (C) は、リセット信号 (RESET) C の波形である。同図 (C) に
25 示すように、リセット信号 (RESET) C は、第 3 パケットの先頭で入力される。この入力によって、レベル保持回路 1 9、2 0 は、第 3 パケット信号の先頭では初期化された状態であり、SW 9、1 0 も、第 3 パケット信号の先頭ではオ

フ状態である。したがって、T I A 2は、第3パケット信号の先頭では、帰還抵抗素子2bによって決定されるT I A 2本来の変換利得になっている。

第6図(G)は、ゲート信号(GATE)Gを示す波形図である。同図(G)に示す例では、各パケット信号の先頭ビット(第1ビット以前)から第8ビットにかけて“1”レベルの信号が出力されており、この“1”レベルの期間内に利得切り替えを行うか否かの判定が行われることになる。なお、実施の形態1では、第1ビットから第8ビットまでの間を、第1ビット第4ビットまでの第1のゲート信号の出力期間と、第5ビットから第8ビットまでの第2のゲート信号の出力期間との、2つのゲート信号の出力期間に分けていたが、この実施の形態では、
10 第1ビットから第8ビットまでの間を1つのゲート信号の出力期間としている。

第6図(F)は、レベル検出回路15の動作を示す波形図である。同図(B)に示す第3パケットは、識別レベルV1を超える信号であり、第1ビットからパルスが発生する。このとき、第3ビット以降のパケット信号に対しては、利得が下げられた新たな変換利得が適用され、パケット信号の振幅が低下している。この振幅が低下したパケット信号に対しても同様に識別レベルV1との比較が行われ、識別レベルV1を超えている間は、常に、パルスを出力し続けるように動作する。

第6図(H)は、レベル検出回路16の動作を示す波形図である。同図(B)に示す第3パケットは、識別レベルV1を超える信号であり、また、識別レベルV2をも超える信号であるため第1ビットからパルスが発生する。また、新たな変換利得によって振幅が低下したパケット信号に対して、今度は識別レベルV2との比較が行われるが、このときの信号状態は、識別レベルV2ぎりぎりの波形振幅であるため、第3ビット、第5ビットではパルスが発生せず、第7ビットで初めて識別レベルV2を超える期間のパルスが発生している。

25 第6図(D)は、判定回路17およびレベル保持回路19の動作を示す波形図である。第3パケットは、識別レベルV1以上の信号であるため、判定回路17には検出パルス信号Fが入力される。判定回路17では、検出パルス信号Fがゲ

ート信号Gの時間幅内に入力された場合にのみ、SW制御信号をレベル保持回路19に出力する。レベル保持回路19は、入力されたSW制御信号をSW操作信号DとしてSW9に与えると同時に、つぎのリセット信号(RESET)C(図示省略)が入力されるまでの間保持し、SW9をオンさせ続ける。TIA2では、
5 この第3パケットに対しては、第3ビットから、本来の変換利得から、帰還抵抗素子2bおよび抵抗素子6の並列抵抗値で決まる新たな変換利得への切り替えが行われる。

第6図(J)は、遅延回路21の動作を示す波形図である。遅延回路21は、レベル保持回路19のSW操作信号Dの出力を1ビット以上遅延させた信号を出力し、つぎのリセット信号(RESET)C(図示省略)が入力されるまでの間保持する。この遅延信号は、判定回路18の一方の入力端に入力される。
10

第6図(K)は、レベル検出回路16からの出力Hと遅延回路21からの出力Jとが入力された判定回路18の出力である。判定回路18は、SW操作信号Dが出力され、かつ、識別レベルV2による検出パルスが発生したときに出力パルスを生成するようにしている。ただし、この第3パケット信号の第1ビットのように、識別レベルV2による検出パルスと識別レベルV1による検出パルスの両者が同時に発生するときには、出力パルスが発生しないようにして利得の切り替え誤りがないようにしている。判定回路18に1ビット以上遅延させた信号を入力しているのも、この切り替え誤りを生起させないためである。
15

第6図(E)は、判定回路22およびレベル保持回路20の動作を示す波形図である。判定回路22は、検出パルス信号Kがゲート信号Gの時間幅内に入力されているときにSW制御信号をレベル保持回路20に出力する。レベル保持回路20は、入力されたSW制御信号をSW操作信号EとしてSW10に与えると同時に、リセット信号(RESET)Cが入力されるまでの間、出力を保持する。
20 このとき、TIA2では、この第3パケットに対しては、第9ビットから、帰還抵抗素子2b、抵抗素子6および抵抗素子7の並列抵抗値で決まる新たな変換利得への切り替えが行われ、SW10をオンさせ続ける。

以上説明したように、この実施の形態の前置増幅器の利得切り替え回路によれば、第1の操作手段は、前置増幅器の出力レベルが第1の識別レベルを超える場合において、第1の識別レベルを超えるときのタイミングが第1の利得切り替え期間内であるときに第1のスイッチング素子操作信号を出力し、第2の操作手段は、前置増幅器の出力レベルが第2の識別レベルを超える場合において、第1の
5 スwitchング素子操作信号が出力され、かつ、第2の識別レベルを超えるときのタイミングが第2の利得切り替え期間内であるときに第2のスイッチング素子操作信号を出力するようにしているので、先頭ビットから所定数のビットまでの間で確実な利得切り替えを行うことができ、入力信号のレベルに応じた適切な変換
10 利得に切り替えることができ、利得の切り替え誤りのない制御を実現する前置増幅器の利得切り替え回路を提供することができる。

実施の形態3.

第7図は、この発明の実施の形態3にかかる前置増幅器の利得切り替え回路の
15 構成を示すブロック図である。同図に示す実施の形態3の利得切換回路32は、
図5の利得切換回路31において、ゲート信号(GATE)Gを生成するためのゲート生成回路23の構成を追加したものである。なお、その他の構成については、図5に示す実施の形態2の利得切換回路31の構成と同一または同等であり、これらの各部には同一符号を付して示している。また、第8図は、第7図に示す
20 ゲート生成回路23の構成を示すブロック図である。同図に示すゲート生成回路23は、レベル検出回路24と、カウンタ回路25とを備えている。

つぎに、第7図～9図を参照し、第8図に示すゲート生成回路23の動作について説明する。なお、第9図は、第8図に示すゲート生成回路23の動作を説明するためのタイムチャートである。第9図において、同図(A)は、TIA2への
25 の入力電流波形であり、第2図に示した第1～第3パケットと同一の信号列を示している。

第9図(B)は、同図(A)の各パケット信号が入力されたときのTIA2の

出力電圧 (V o u t) B の波形であり、また、これらの波形上に識別レベル (V 1 0、V 1 および V 2) を示している。第 1 パケットに対する T I A 2 の出力電圧 (V o u t) B は、識別レベル V 1 0 以下のレベルである。第 2 パケットに対する T I A 2 の出力電圧 (V o u t) B は、識別レベル V 1 超え、識別レベル V 2 ぎりぎりのレベルである。第 3 パケットに対する T I A 2 の出力電圧 (V o u t) B は、識別レベル V 2 を超えるレベルにある。

第 9 図 (C) は、リセット信号 (R E S E T) C の波形である。同図 (C) に示すように、リセット信号 (R E S E T) C は、第 1、第 2、第 3 パケットそれぞれの先頭で入力される。この入力によって、カウンタ回路 2 5 は、各パケット信号の先頭では初期化された状態になる。

第 9 図 (L) は、レベル検出回路 2 4 の動作を示す波形図である。同図 (B) に示す例では、第 1 パケットでは、識別レベル V 1 0 以下なので、出力パルスが発生しない。一方、第 2 パケットでは、識別レベル V 1 0 を超えるレベルなので、第 1 ビットから識別レベル V 1 0 を超える期間のパルスが発生している。この第 2 パケットは、識別レベル V 1 を超えるレベルなので、第 7 図の利得切り替え回路 3 2 の S W 操作信号 D が出力されて S W 9 はオンの状態となる。しかし、この第 2 パケットは、識別レベル V 2 ぎりぎりのレベルなので、S W 操作信号 E は出力されず S W 1 0 はオフのままの状態なので、リセット信号 (R E S E T) C が入力されるまでの間出力パルスが生成される。他方、第 3 パケットでは、識別レベル V 2 を超える信号であり、第 1 ビットからパルスが発生する。しかし、第 5 ビットの出力以降の時点では、第 7 図の利得切り替え回路 3 2 の S W 操作信号 D が出力されて S W 9 はオンの状態となり、かつ、S W 操作信号 E も出力されて S W 1 0 もオンの状態なので、新たな変換利得によって利得が下げられたパケット信号の振幅は、識別レベル V 1 0 以下に低下している。したがって、第 6 ビット以降では出力パルスは生成されない。

第 9 図 (L) と同図 (G) との間に示す波形は、カウンタ回路 2 5 の内部 (カウンタ内部) で生成されるクロックの波形であり、また、同図 (G) に示す

波形は、カウンタ回路 25 の出力であるゲート信号 (GATE) G を示す波形である。カウンタ回路 25 は、リセット信号 (RESET) C の入力によってカウンタを起動し、予め設定された所定のクロック数 (この例では、5 クロック) 分のゲート信号を生成する。この生成されたゲート信号 G が第 7 図の判定回路 17、22 に入力され、実施の形態 2 で説明した動作にしたがって、利得切り替えが行われる。

なお、ゲート生成回路は、利得切り替えを行う識別レベル V_1 、 V_2 において、確実な利得切り替えが行われなければならないが、実施の形態 2 の条件を満たす V_1 、 V_2 に対し、さらに $V_{10} < V_1$ 、かつ、 $V_{10} < V_2$ の関係を満たすように構成することにより実現できる。

以上説明したように、この実施の形態の前置増幅器の利得切り替え回路によれば、前置増幅器の出力を受けて、利得切り替え期間内に所定の変換利得に切り替えるためのゲート信号を生成するようにしているので、先頭ビットから所定数のビットまでの間で確実な利得切り替えを行うことができるので、入力信号のレベルに応じた適切な変換利得に切り替えることができる前置増幅器の利得切り替え回路を提供することができる。

また、この実施の形態の前置増幅器の利得切り替え回路によれば、利得切り替え期間内に第 1 のスイッチング素子が閉路操作された後、第 2 のスイッチング素子が閉路操作可能となるような制御を行っているので、利得の切り替え誤りのない制御を実現した前置増幅器の利得切り替え回路を提供することができる。

また、この実施の形態の前置増幅器の利得切り替え回路によれば、カウンタ回路が生成するクロック信号を用いて所定のクロック数分の時間幅を有したゲート信号を生成するようにしているので、利得の切り替え誤りのない制御を実現した前置増幅器の利得切り替え回路を提供することができる。

25

実施の形態 4.

第 10 図は、この発明の実施の形態 4 にかかるゲート生成回路 35 の構成を示

すブロック図である。同図に示す実施の形態 4 のゲート生成回路 3 5 は、第 8 図に示すゲート生成回路 2 3 に対する他の構成例を示すものである。ゲート生成回路 3 5 は、レベル検出回路 2 4、2 5 と、第 1 の変化点検出回路である変化点検出回路 2 8 と、第 2 の変化点検出回路である変化点検出回路 2 9 と、論理積（AND）回路 2 6 とを備えている。

第 1 0 図において、T I A 2 の出力（電圧信号）B は、レベル検出回路 2 4、2 5 の一方の入力端に入力されている。レベル検出回路 2 4 の他方の入力端には、第 1 の識別レベルである識別レベル V 1 0 が入力されている。また、レベル検出回路 2 5 の他方の入力端には、第 2 の識別レベルである識別レベル V 1 1 が入力されている。

レベル検出回路 2 4 の出力 L は、変化点検出回路 2 8 に入力されている。また、レベル検出回路 2 5 の出力 M は、変化点検出回路 2 9 に入力されている。変化点検出回路 2 8、2 9 の各出力は、AND 回路 2 6 にそれぞれ入力される。AND 回路 2 6 は、ゲート信号（GATE）を出力する。

第 1 1 図は、第 1 0 図に示すゲート生成回路 3 5 の動作を説明するためのタイムチャートである。第 1 1 図において、同図（A）は、T I A 2 への入力電流波形であり、第 1 1 図に示した第 1 ～第 3 パケットと同一の信号列を示している。第 1 1 図（B）は、同図（A）の各パケット信号が入力されたときの T I A 2 の出力電圧（V o u t）B の波形であり、また、これらの波形上に識別レベル（V 1 0、V 1 1、V 1 および V 2）を示している。

第 1 1 図（C）は、リセット信号（RESET）C の波形である。同図（C）に示すように、リセット信号（RESET）C は、第 1、第 2、第 3 パケットそれぞれの先頭で入力される。この入力によって、変化点検出回路 2 8、2 9 は、各パケット信号の先頭では初期化された状態になる。

第 1 1 図（L）は、レベル検出回路 2 4 の動作を示す波形図である。同図（B）に示す例では、第 1 パケットでは、識別レベル V 1 0 を超えているので、その超えている期間分の出力パルスが生成される。第 2 パケットでも同様なパルスが

生成される。一方、第3パケットは、識別レベルV2を常時超える信号であり、この第3パケットの第1ビットから第6ビットまでの間、図示するような時間幅の広いパルスが生成される。他方、第7ビット以降では、第7図の利得切り替え回路32のSW操作信号Dが出力されてSW9はオンの状態となり、かつ、SW操作信号Eも出力されてSW10もオンの状態となるので、利得が下げられた新たな変換利得によってパケット信号の振幅が低下する。したがって、第1ビットから第6ビットま出とは異なり、識別レベルV10を超えている期間分の出力パルスが生成される。

第11図(M)は、レベル検出回路25の動作を示す波形図である。第1パケットでは、識別レベルV11を超えていないので、出力パルスは生成されない。一方、第2パケットでは、識別レベルV11を超えているので、その超えている期間分の出力パルスが生成される。他方、第3パケットでは、識別レベルV11を超える信号ではあるものの、識別レベルV10と比較した同図(L)の波形とは異なり、識別レベルV11を超えている期間分の出力パルスが生成される。なお、第6ビット以降では、同図(L)とは異なり、出力パルスは生成されていない。

第11図(O)は、変化点検出回路28の動作を示す波形図である。変化点検出回路28は、レベル検出回路24が生成した出力パルスの立ち上がり、立下りをカウントし、最初のパルス(1カウント目)を基点とし、予め設定された所定のカウンタ数(この例では、6カウント)の変化点長(以下「所定カウンタ変化点長」と称する)のゲート信号(以下「第1の基本ゲート信号」と称する)を生成する。なお、このゲート信号は、リセット信号(RESET)Cが入力されるまでの間保持される。

第11図(P)は、変化点検出回路29の動作を示す波形図である。変化点検出回路29の動作は、変化点検出回路28の動作と同様であり、同図(P)に示すような時間幅(所定カウンタ変化点長の時間幅)のゲート信号(以下「第2の基本ゲート信号」と称する)が生成される。また、このゲート信号も、リセット

信号 (RESET) Cが入力されるまでの間保持される。

第11図 (G) は、AND回路26の動作を示す波形図である。AND回路26は、第1の基本ゲート信号と第2の基本ゲート信号との論理積をとり、ゲート信号を生成する。このゲート信号が第7図の判定回路17、22に入力され、実施の形態2で説明した動作にしたがって、利得切り替えが行われる。

なお、ゲート生成回路は、利得切り替えを行う識別レベルV1、V2において、確実な利得切り替えが行われなければならないが、実施の形態2の条件を満たすV1、V2に対し、さらに $V10 < V11 < V1$ 、かつ、 $V10 < V11 < V2$ の関係を満たすように構成することにより実現できる。

10 以上説明したように、この実施の形態の前置増幅器の利得切り替え回路によれば、前置増幅器の出力を受けて、利得切り替え期間内に所定の変換利得に切り替えるためのゲート信号を生成するようにしているので、先頭ビットから所定数のビットまでの間で確実な利得切り替えを行うことができるので、入力信号のレベルに応じた適切な変換利得に切り替えることができる前置増幅器の利得切り替え
15 回路を提供することができる。

また、この実施の形態の前置増幅器の利得切り替え回路によれば、第1の変化点検出回路が生成する所定カウント変化点長の時間幅を有した第1の基本ゲート信号と、第2の変化点検出回路が生成する所定カウント変化点長の時間幅を有した第2の基本ゲート信号との論理積信号を生成し、この論理積信号をゲート信号
20 として用いているので、利得の切り替え誤りのない制御を実現した前置増幅器の利得切り替え回路を提供することができる。

産業上の利用可能性

以上のように、本発明にかかる前置増幅器増幅器の利得切り替え回路は、光通信システムの光受信装置や、光信号の測定器、モニタなどの光受信部に用いられる前置増幅器に適している。

請 求 の 範 囲

1. バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であつて、帰還抵抗素子と並列に、第1の抵抗素子と
5 第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、

前記前置増幅器の出力を受けて、第1の変換利得に切り替える第1の利得切り替え期間と、

- 10 前記前置増幅器の出力を受けて、第2の変換利得に切り替える第2の利得切り替え期間と、

を外部から入力し、

前記第1の利得切り替え期間内に前記第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成する第1の操作手段と、

- 15 前記第2の利得切り替え期間内に前記第2のスイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成する第2の操作手段と、

を備えたことを特徴とする前置増幅器の利得切り替え回路。

2. 前記第1の利得切り替え期間と前記第2の利得切り替え期間とが異なること
20 を特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

3. 前記第1の利得切り替え期間内に前記第1の操作手段にて前記第1のスイッチング素子が閉路操作された後、前記第2の利得切り替え期間内に前記第2の操作手段にて前記第2のスイッチング素子が閉路操作可能となることを特徴とする
25 請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

4. 前記第1の操作手段は、

前記前置増幅器の出力レベルが第1の識別レベルを超える場合において、該第1の識別レベルを超えるときのタイミングが前記第1の利得切り替え期間内であるときに前記第1のスイッチング素子操作信号を出力し、

前記第2の操作手段は、

- 5 前記前置増幅器の出力レベルが第2の識別レベルを超える場合において、前記第1のスイッチング素子操作信号が出力され、かつ、該第2の識別レベルを超えるときのタイミングが前記第2の利得切り替え期間内であるときに前記第2のスイッチング素子操作信号を出力することを特徴とする請求の範囲第1項に記載の前置増幅器の利得切り替え回路。

10

5. 前記第1、第2の識別レベルをそれぞれ V_1 、 V_2 とし、該第1の識別レベルによって前記第1のスイッチング素子が閉路操作された際に下げられた前記前置増幅器の利得の低下分を k ($k > 1$) とするとき、 $V_1 < k V_2$ であることを特徴とする請求の範囲第4項に記載の前置増幅器の利得切り替え回路。

15

6. バースト状の光信号を電気信号に変換する受光素子の出力電流を増幅し電圧信号を出力する前置増幅器であって、帰還抵抗素子と並列に、第1の抵抗素子と第1のスイッチング素子による直列回路、および第2の抵抗素子と第2のスイッチング素子による直列回路がそれぞれ接続される前置増幅器の変換利得を切り替える利得切り替え回路は、

20

前記前置増幅器の出力を受けて、利得切り替え期間内に所定の変換利得に切り替えるためのゲート信号を生成するゲート生成回路と、

前記利得切り替え期間内に前記第1のスイッチング素子を閉路操作するための第1のスイッチング素子操作信号を生成する第1の操作手段と、

25

前記利得切り替え期間内に前記第2のスイッチング素子を閉路操作するための第2のスイッチング素子操作信号を生成する第2の操作手段と、
を備えたことを特徴とする前置増幅器の利得切り替え回路。

7. 前記利得切り替え期間内に前記第1の操作手段にて前記第1のスイッチング素子が閉路操作された後、前記第2の操作手段にて前記第2のスイッチング素子が閉路操作可能となることを特徴とする請求の範囲第6項に記載の前置増幅器の

5 利得切り替え回路。

8. 前記第1のスイッチング素子操作信号が、前記第1の識別レベル(V1)を用いて生成され、前記第2のスイッチング素子操作信号が、前記第2の識別レベル(V2)を用いて生成されるとき、

10 前記ゲート生成回路は、

$V10 < V1$ 、かつ、 $V10 < V2$ を満たす第3の識別レベル(V10)に基づいて前記ゲート信号を生成することを特徴とする請求の範囲第7項に記載の前置増幅器の利得切り替え回路。

15 9. 前記ゲート生成回路は、

クロック信号を生成するカウンタ回路をさらに備え、

前記カウンタ回路が生成するクロック信号を用いて所定のクロック数分の時間幅を有したゲート信号を生成することを特徴とする請求の範囲第8項に記載の前置増幅器の利得切り替え回路。

20 10. 前記第1のスイッチング素子操作信号が、前記第1の識別レベル(V1)を用いて生成され、前記第2のスイッチング素子操作信号が、前記第2の識別レベル(V2)を用いて生成されるとき、

前記ゲート生成回路は、

25 $V10 < V11 < V1$ 、かつ、 $V10 < V11 < V2$ を満たす第3の識別レベル(V10)および第4の識別レベル(V11)に基づいて前記ゲート信号を生成することを特徴とする請求の範囲第7項に記載の前置増幅器の利得切り替え回

路。

1 1. 前記ゲート生成回路は、

前記第 3 の識別レベルにて検出される信号の変化点を検出する第 1 の変化点検

5 出回路と、

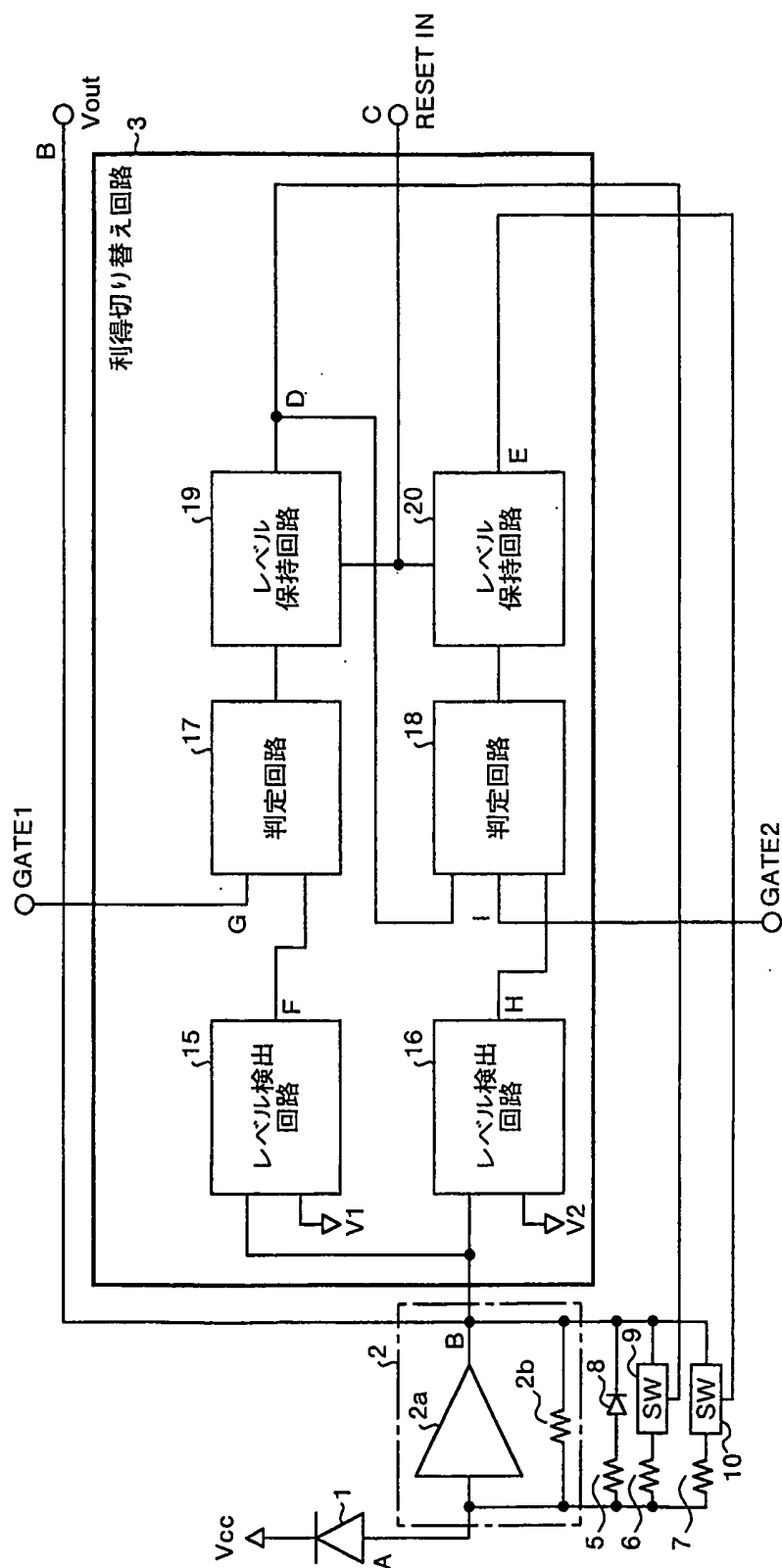
前記第 4 の識別レベルにて検出される信号の変化点を検出する第 2 の変化点検
出回路と、

を備え、

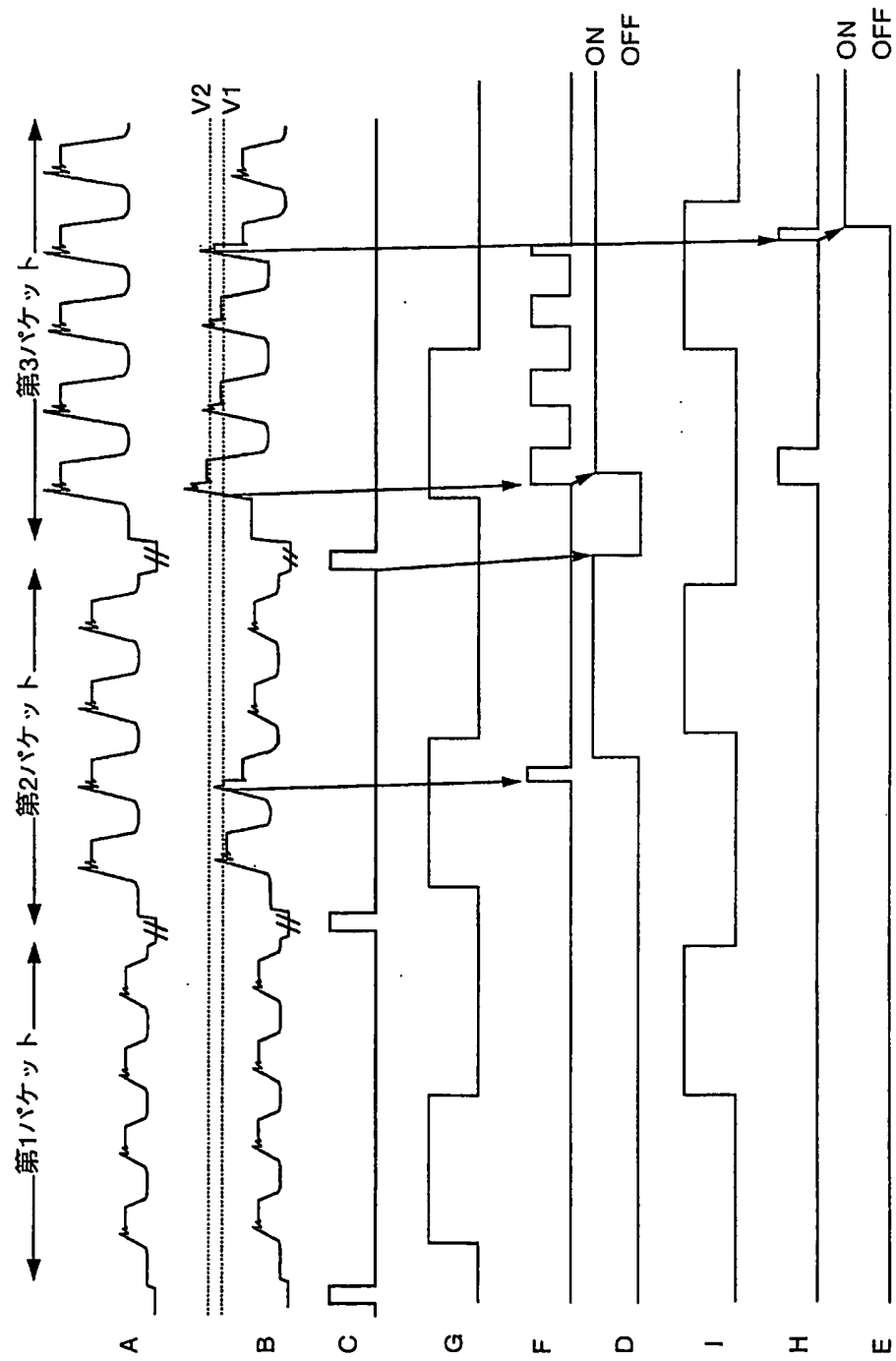
前記第 1 の変化点検出回路が生成する所定カウント変化点長の時間幅を有した

10 第 1 の基本ゲート信号と、前記第 2 の変化点検出回路が生成する所定カウント変
化点長の時間幅を有した第 2 の基本ゲート信号との論理積信号を生成し、該論理
積信号を前記ゲート信号とすることを特徴とする請求の範囲第 10 項に記載の前
置増幅器の利得切り替え回路。

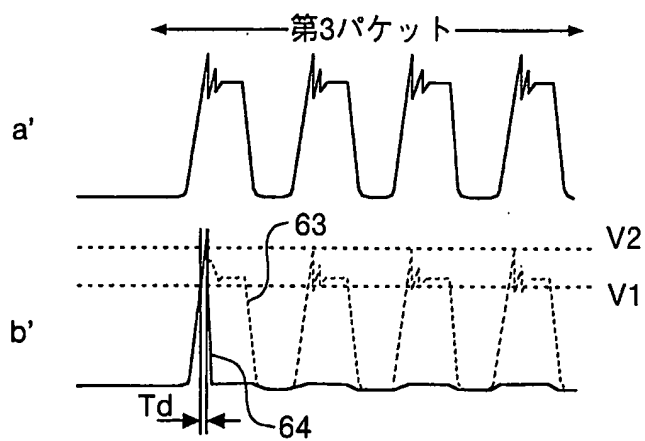
第1図



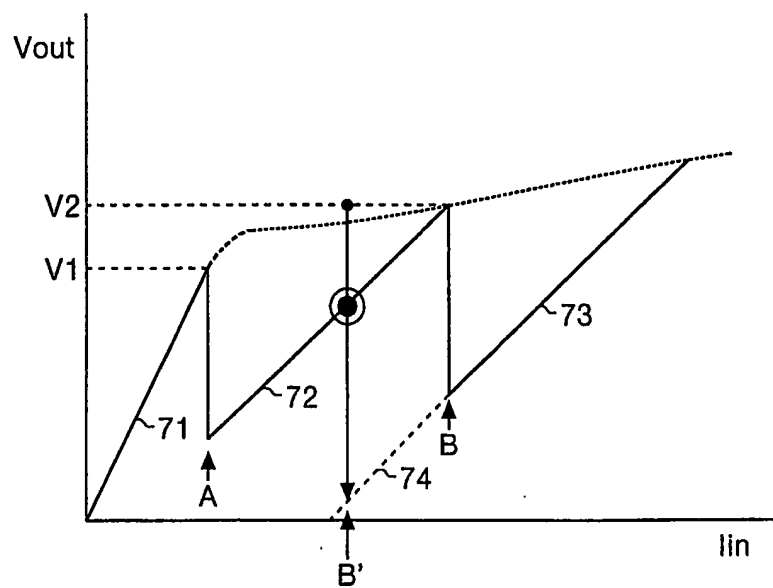
第2図



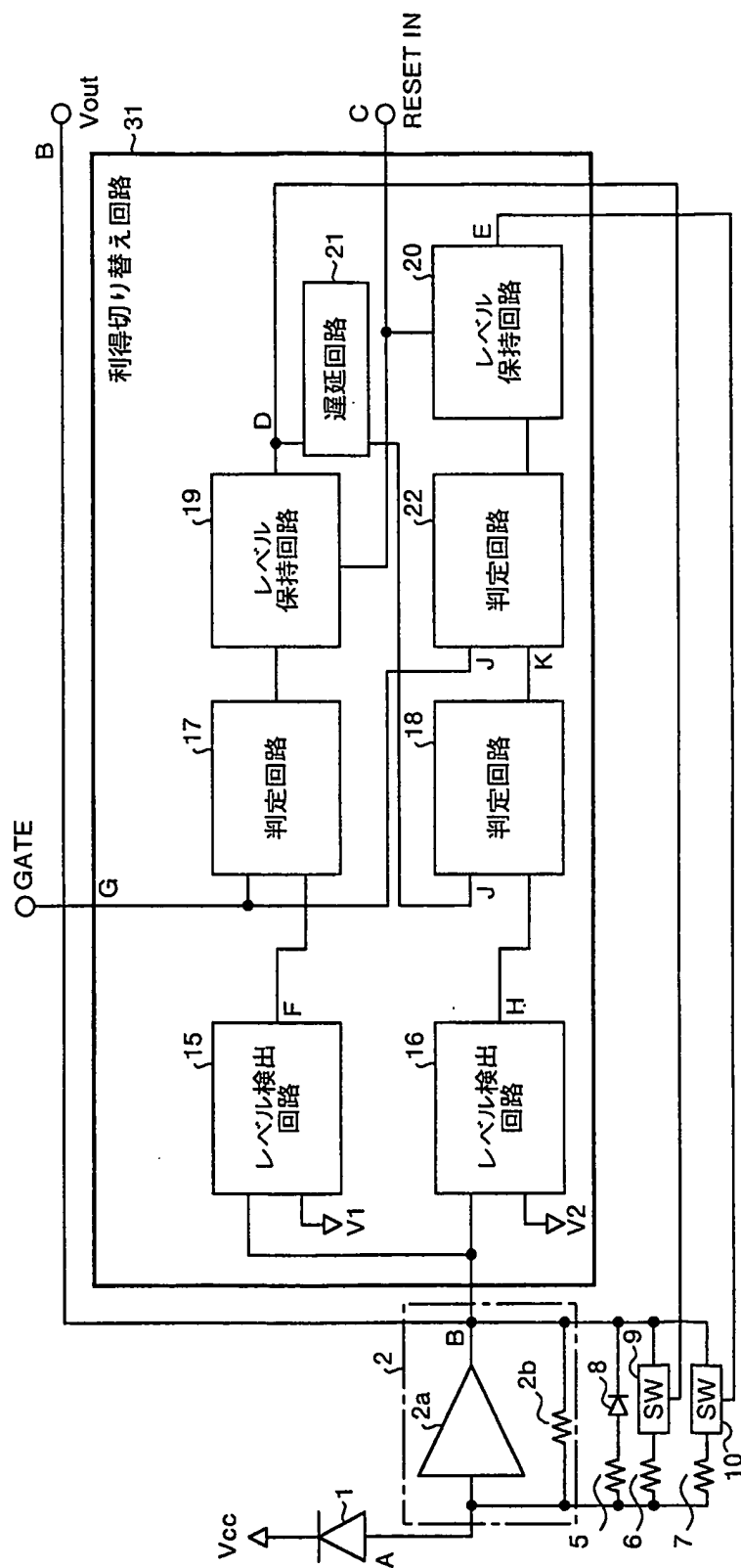
第3図



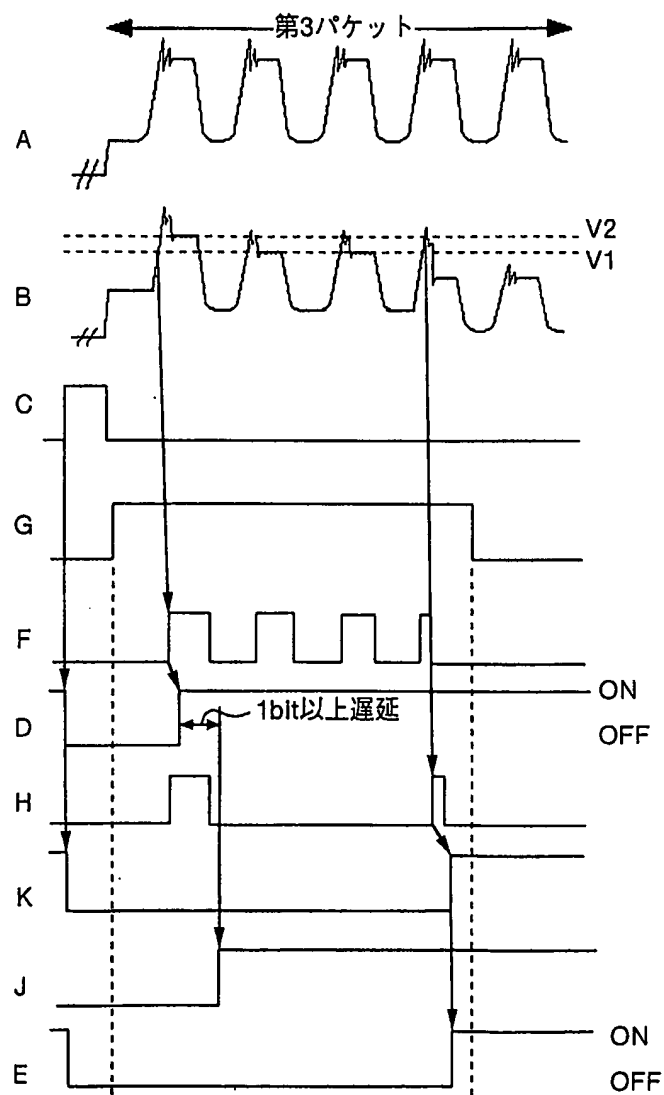
第4図



第5図



第6図



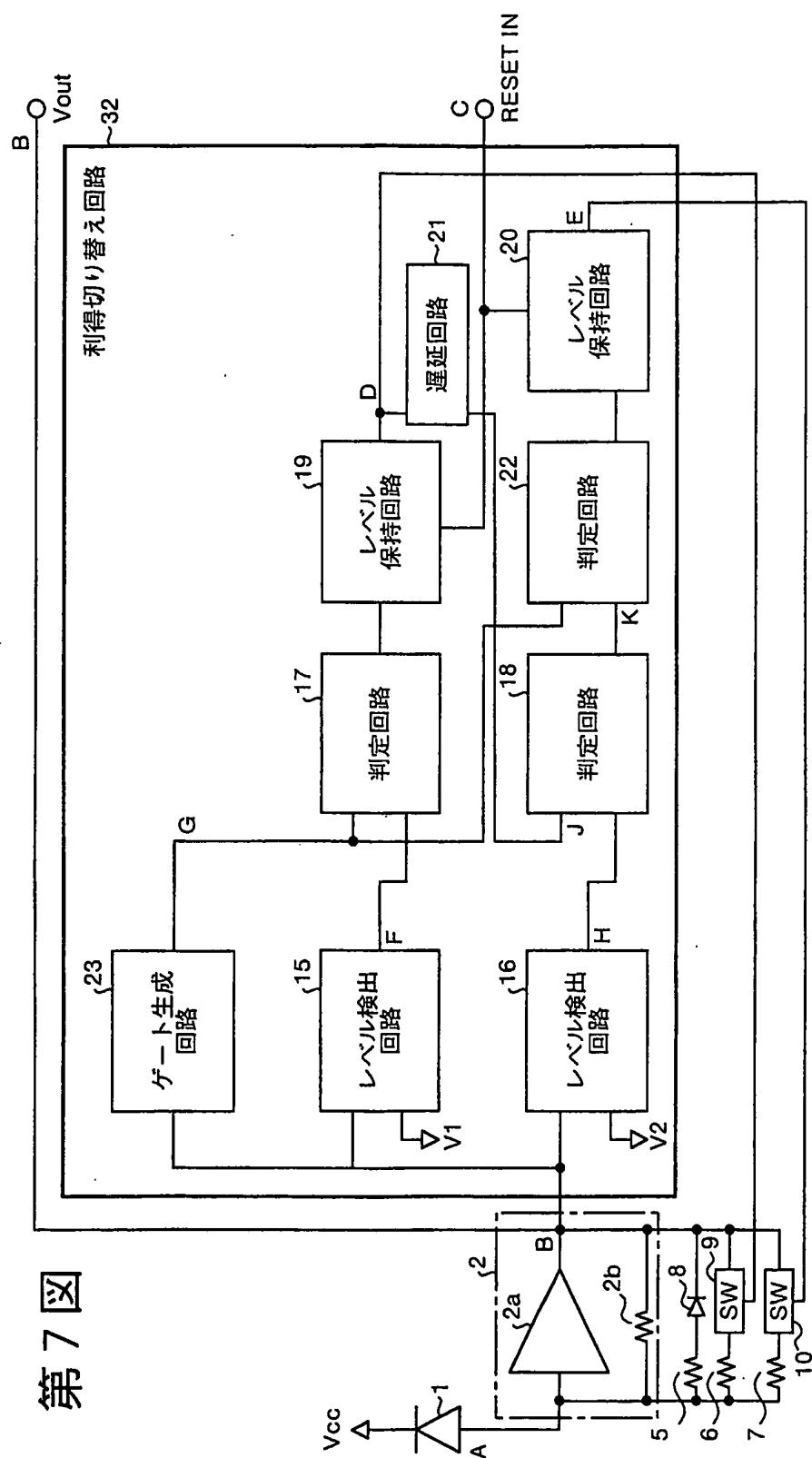
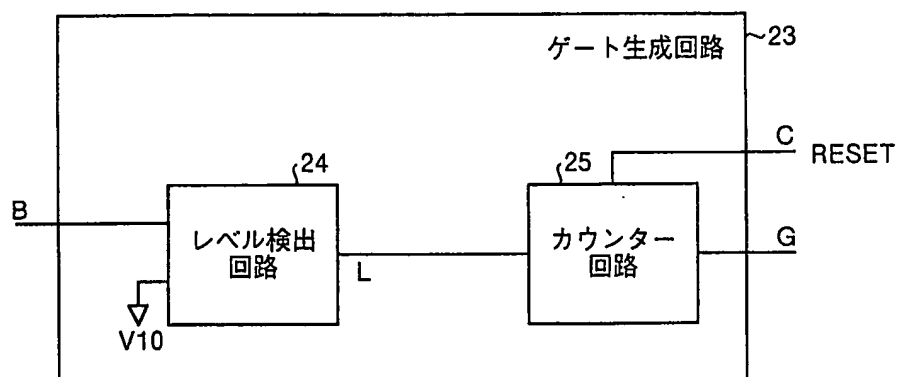
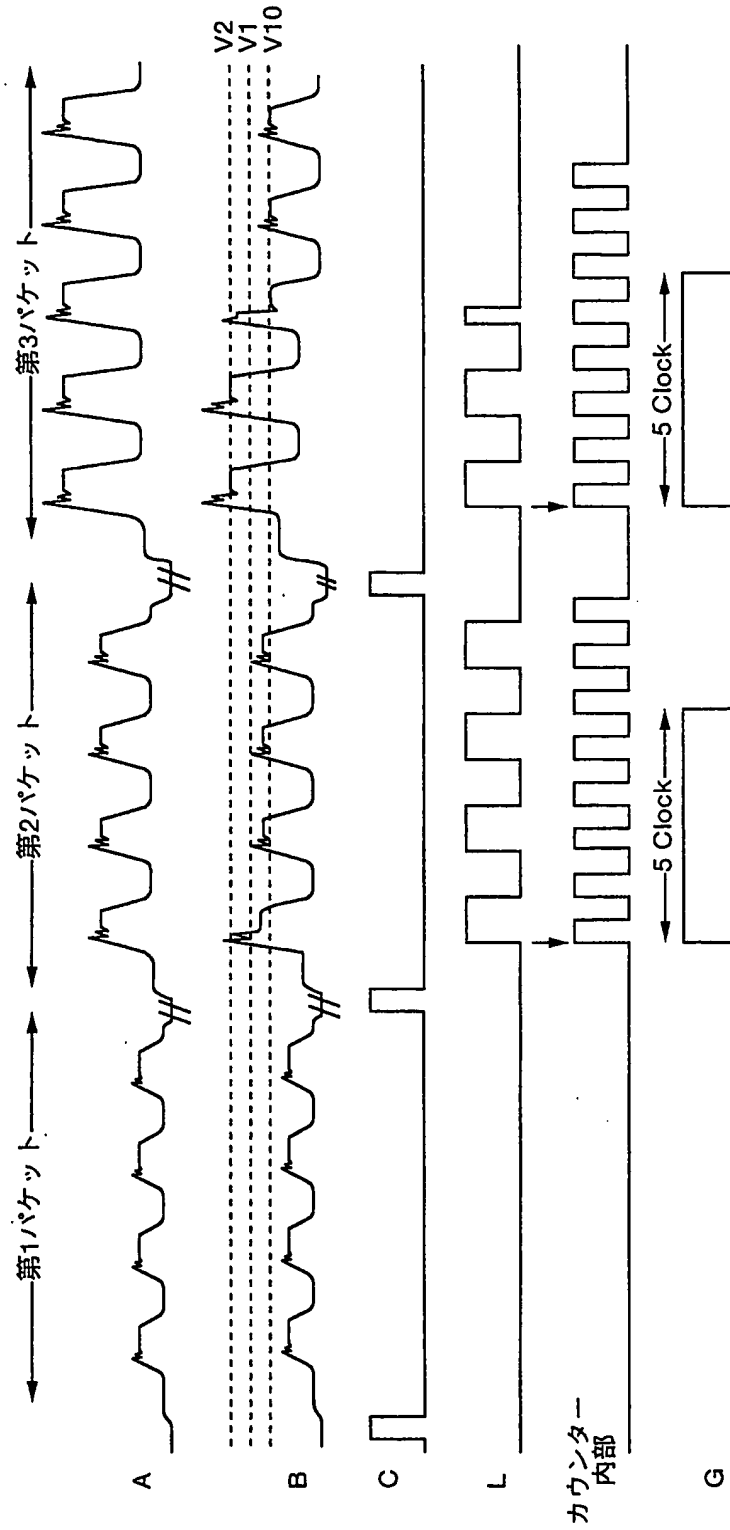


圖 7 鋼

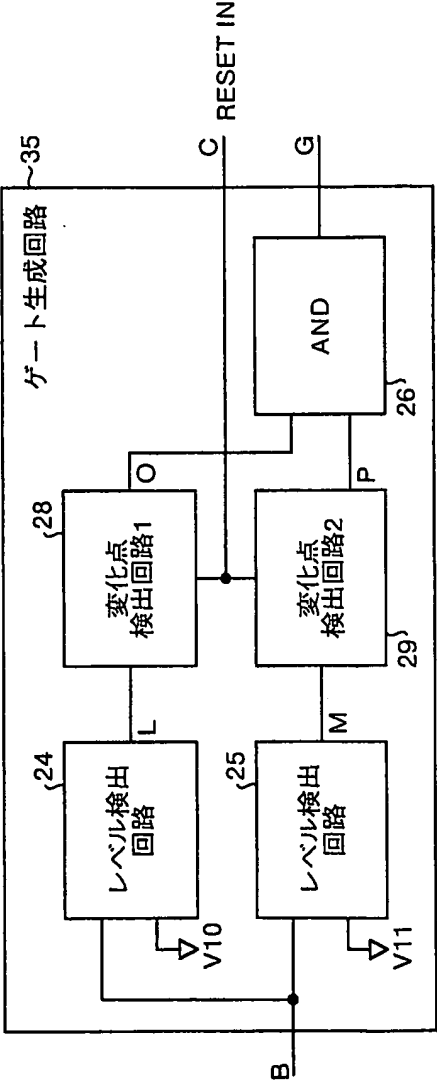
第 8 図



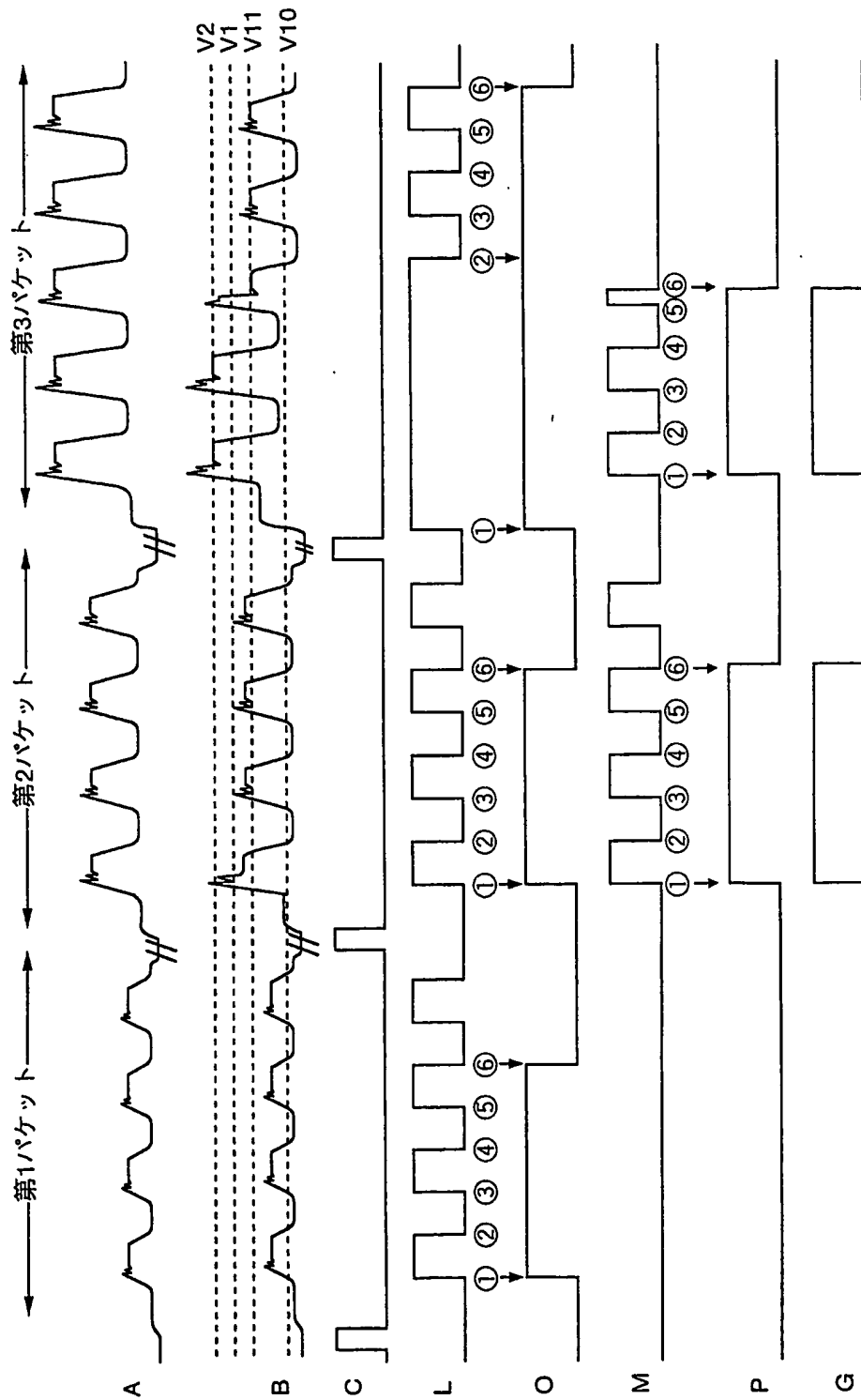
第9図



第10図



第11図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/09682

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03G3/20, H03F3/08, F04B10/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03G3/20, H03F3/08, F04B10/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-196877 A (Mitsubishi Electric Corp.), 19 July, 2001 (19.07.01), Par. Nos. [0040] to [0063]; Figs. 4 to 10 (Family: none)	6, 8 1-5, 7, 9-11
A	JP 2001-144552 A (NEC Corp.), 25 May, 2001 (25.05.01), Full text; Figs. 1 to 11 (Family: none)	1-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 November, 2003 (04.11.03)

Date of mailing of the international search report
18 November, 2003 (18.11.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.